

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-318879  
(P2001-318879A)

(43) 公開日 平成13年11月16日 (2001.11.16)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト (参考)
G 0 6 F 13/36 3/00	3 1 0	G 0 6 F 13/36 3/00	3 1 0 A 5 B 0 6 1 T F

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21) 出願番号 特願2000-137905(P2000-137905)

(22) 出願日 平成12年 5 月11日 (2000. 5. 11)

(71) 出願人 000005201

富士写真フイルム株式会社  
神奈川県南足柄市中沼210番地

(72) 発明者 足立 薫

埼玉県朝霞市泉水三丁目11番46号 富士写  
真フイルム株式会社内

(74) 代理人 100080322

弁理士 牛久 健司 (外 1 名)

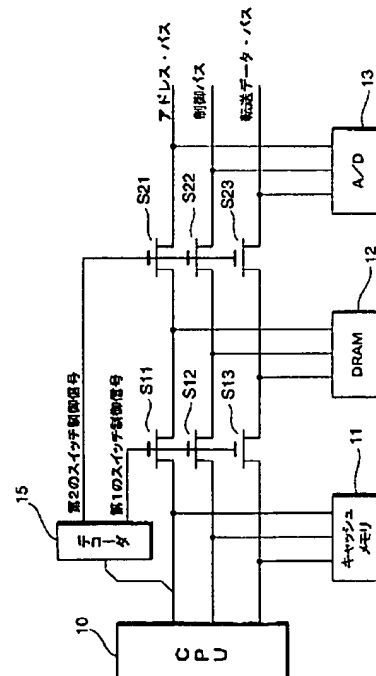
Fターム(参考) 5B061 FF06 QQ01 RR02 RR03

(54) 【発明の名称】 集積回路およびその制御方法

(57) 【要約】

【目的】 バス接続された回路を安定かつ高速に動作させる。

【構成】 アドレス・バス、制御バスおよび転送データ・バスによってCPU10に高速アクセス用のキャッシュ・メモリ11および中速アクセス用のDRAM12を接続する。キャッシュ・メモリ11とDRAM12との間のバスにはスイッチS11、S12およびS13を設ける。高速アクセス時にはスイッチS11、S12およびS13をオフにする。実質的にバスの長さが短くなるので、安定してキャッシュ・メモリ11に高速アクセスが可能となる。DRAM12にアクセスするときにはスイッチS11、S12およびS13をオンにする。



## 【特許請求の範囲】

【請求項1】 高速アクセス用のデバイスと低速アクセス用のデバイスとこれらのデバイスへのデータ転送を制御する制御回路とが、上記高速アクセス用のデバイスへのデータ転送が優先となるように、共通バスにより接続されており、

上記高速アクセス用のデバイスと上記低速アクセス用のデバイスとの間のバス接続をオン、オフ制御するスイッチ回路、および上記高速アクセス用のデバイスにデータを転送するときにオフし、上記低速アクセス用のデバイスにデータを転送するときにオンするように上記スイッチ回路を制御する制御回路、

を備えた集積回路。

【請求項2】 上記高速アクセス用のデバイスと上記低速アクセス用のデバイスを含む複数のデバイスが、アクセス速度の速い順にデータ転送を優先するように共通バスにより接続されており、

上記スイッチ回路が、上記複数のデバイスのうち互いに隣接するデバイス間のバス接続をオン、オフするものであり、

上記スイッチ制御回路が、上位のアクセス速度をもつデバイス回路へのアクセスが可能となるように、順に上記スイッチ回路をオンするものである、

請求項1に記載の集積回路。

【請求項3】 上記高速アクセス用のデバイス、上記低速アクセス用のデバイスおよび上記スイッチ制御回路がそれぞれクロック・パルスに同期して動作するものであり、

上記スイッチ制御回路のオン後一定時間経過後にデータの転送を許可する信号を上記クロック・パルスに同期して出力する出力回路をさらに備えている、請求項1に記載の集積回路。

【請求項4】 上記出力回路から出力されるデータ転送許可信号の出力タイミングが、上記デバイスのアクセス速度に応じて異なるものである、請求項3に記載の集積回路。

【請求項5】 上記クロック・パルスの周期がアクセスすべきデバイスのアクセス速度に応じて変わるものである、請求項3に記載の集積回路。

【請求項6】 高速アクセス用のデバイスと低速アクセス用のデバイスとこれらのデバイスへのデータ転送を制御する制御回路とが、上記高速アクセス用のデバイスへのデータ転送が優先となるように、共通バスにより接続されている集積回路の制御方法であって、上記高速アクセス用のデバイスと上記低速アクセス用のデバイスとの間のバス接続をオン、オフ制御するスイッチ回路を設け、

上記高速アクセス用のデバイスにデータを転送するときにオフし、上記低速アクセス用のデバイスにデータを転送するときにオンするように上記スイッチ回路を制

御する、  
集積回路の制御方法。

## 【発明の詳細な説明】

【0001】

【技術分野】この発明は、高速アクセス用のデバイスと低速アクセス用のデバイスとが共通バスにより接続されている集積回路およびその制御方法に関する。

【0002】

【発明の背景】ディジタル回路を構築する場合、1本の共通バスに複数のデバイスが接続される。1本の共通バスを通して複数のデバイスへのデータ転送が行われる。

【0003】データ転送速度を上げるためには、動作クロック・パルスの周波数を上げる必要がある。しかしながら、バスの容量性負荷の影響などにより動作クロック・パルスの周波数には上限がある。バスの特性を改善するためにバスに使用される素材を変えることが考えられるが、コスト・アップとなってしまう。また、バスが長い場合に、動作クロック・パルスの周波数を上げて高速で動作させると、動作が不安定となる。

【0004】

【発明の開示】この発明は、バスが長くなっても高速に、かつ安定に集積回路を動作させることを目的とする。

【0005】この発明による集積回路は、高速アクセス用のデバイスと低速アクセス用のデバイスとこれらのデバイスへのデータ転送を制御する制御回路とが、上記高速アクセス用のデバイスへのデータ転送が優先となるように、共通バスにより接続されており、上記高速アクセス用のデバイスと上記低速アクセス用のデバイスとの間のバス接続をオン、オフ制御するスイッチ回路、および上記高速アクセス用のデバイスにデータを転送するときにオフし、上記低速アクセス用のデバイスにデータを転送するときにオンするように上記スイッチ回路を制御する制御回路を備えていることを特徴とする。

【0006】この発明は、上記集積回路に適した制御方法も提供している。すなわち、この方法は、高速アクセス用のデバイスと低速アクセス用のデバイスとこれらのデバイスへのデータ転送を制御する制御回路とが、上記高速アクセス用のデバイスへのデータ転送が優先となるように、共通バスにより接続されている集積回路の制御方法であって、上記高速アクセス用のデバイスと上記低速アクセス用のデバイスとの間のバス接続をオン、オフ制御するスイッチ回路を設け、上記高速アクセス用のデバイスにデータを転送するときにオフし、上記低速アクセス用のデバイスにデータを転送するときにオンするように上記スイッチ回路を制御するものである。

【0007】この発明によると、高速アクセス用のディ

バイスと低速アクセス用のディバイスとこれらのディバイスへのデータ転送を制御する制御回路とが、上記高速アクセス用のディバイスへのデータ転送が優先となるように、共通バスにより接続されている。上記高速アクセス用のディバイスと上記低速アクセス用のディバイスとの間には、バス接続をオン、オフ制御するスイッチ回路が設けられており、上記高速アクセス用のディバイスにデータを転送するときにオフし、上記低速アクセス用のディバイスにデータを転送するときにオンするように上記スイッチ回路が制御される。

【0008】上記高速アクセス用のディバイスにデータを転送するときには、上記スイッチ回路はオフとなるので、上記低速アクセス用のディバイスは上記共通バスから切り離される。上記共通バスの長さが実質的に短くなるので、高速に動作させても安定した動作が可能となる。

【0009】上記高速アクセス用のディバイスと上記低速アクセス用のディバイスを含む複数のディバイスが、アクセス速度の速い順にデータ転送を優先するように共通バスにより接続されている集積回路にも適用することができる。この場合には、上記スイッチ回路が、上記複数のディバイスのうち互いに隣接するディバイス間のバス接続をオン、オフするものとなろう。また、上記スイッチ制御回路が、上位のアクセス速度をもつディバイス回路へのアクセスが可能となるように、順に上記スイッチ回路をオンするものとなろう。

【0010】上記高速アクセス用のディバイス、上記低速アクセス用のディバイスおよび上記スイッチ制御回路がそれぞれクロック・パルスに同期して動作するときには、上記スイッチ制御回路のオン後一定時間経過後にデータの転送を許可する信号を上記クロック・パルスに同期して出力する出力回路をさらに備えることが好ましい。

【0011】データ転送許可信号が出力されることにより、上記高速アクセス用のディバイスへのデータ転送が終了し、上記共通バスが開放されたことが分かる。上記低速アクセス用のディバイスへのデータ転送ができるようになる。

【0012】上記出力回路から出力されるデータ転送許可信号の出力タイミングは、上記ディバイスのアクセス速度に応じて、アクセス速度が遅いほど遅くなるように、異なるようになろう。

【0013】また、上記クロック・パルスの周期がアクセスすべきディバイスのアクセス速度に応じて変わるものであってもよい。ディバイスのアクセス速度に対応して動作できる。

【0014】

【実施例の説明】図1は、この発明の実施例による集積回路の電氣的構成を示すブロック図である。

【0015】CPU10には、アドレス・データを転送す

るための共通のアドレス・バス、制御データを転送するための共通の制御バスおよび画像などの情報を表すデータを転送するための共通の転送データ・バスが接続されている。

【0016】これらのアドレス・バス、制御バスおよび転送データ・バスには、キャッシュ・メモリ11、DRAM (Dynamic Random Access Memory) 12およびA/D (アナログ/デジタル) 変換回路13が接続されている。DRAM12とCPU10との間のアドレス・バス、制御バスおよび転送データ・バスには、MOS (Metal Oxide Semiconductor) トランジスタからなるスイッチS11、S12およびS13が接続されている。また、DRAM12とA/D変換回路13との間のアドレス・バス、制御バスおよび転送データ・バスには、MOSトランジスタからなるスイッチS21、S22およびS23が接続されている。CPU10とA/D変換回路13との間のアドレス・バス、制御バスおよび転送データ・バスには、スイッチS11、S12およびS13ならびにS21、S22およびS23が接続されていることとなる。CPU10とキャッシュ・メモリ11との間のアドレス・バス、制御バスおよび転送データ・バスにはスイッチは設けられていない。

【0017】キャッシュ・メモリ11、DRAM12およびA/D変換回路13のうち、最も高速度で動作するのはキャッシュ・メモリ11であり、次に高速度で動作するのはDRAM12であり、最も低速度で動作するのはA/D変換回路13である。したがって、高速度で動作する順にCPU10によるデータ転送が優先されるようにアドレス・バス、制御バスおよび転送データ・バスにキャッシュ・メモリ11、DRAM12およびA/D変換回路13が接続されているということができる。

【0018】CPU10によって制御されるデコーダ15が含まれている。このデコーダ15から第1のスイッチ制御信号および第2のスイッチ制御信号が出力される。第1のスイッチ制御信号は、スイッチS11、S12およびS13のゲート端子に与えられる。第2のスイッチ制御信号は、スイッチS21、S22およびS23のゲート端子に与えられる。

【0019】第1のスイッチ制御信号がHレベルとなることにより、スイッチS11、S12およびS13がオンし、CPU10とDRAM12とがバス接続されることとなる。第1のスイッチ制御信号がLレベルとなることにより、スイッチS11、S12およびS13がオフし、DRAM12はCPU10から切り離されることとなる(バスの切断。A/D変換回路13もCPU10から切り離されることとなる)。

【0020】第2のスイッチ制御信号がHレベルとなることにより、スイッチS21、S22およびS23がオンし、スイッチS11、S12およびS13がオンであれば、CPU10とA/D変換回路13とがバス接続されることとなる。第2のスイッチ制御信号がLレベルとなることにより、

スイッチS21、S22およびS23がオフし、A/D変換回路13はCPU10から切り離されることとなる。

【0021】図2は、図1に示す回路の動作を示すタイム・チャートの一例である。

【0022】図2において、クロック・パルスは、クロック・パルス発生回路(図示略)から出力されるものである。クロック・パルスは、CPU10、キャッシュ・メモリ11、DRAM12、A/D変換回路13およびデコーダ15のすべての回路に与えられる。このクロック・パルスの周期 $t_1$ は、時間にかかわらず一定である。

【0023】バス・スタート信号およびデータ・コンプリート信号はそれぞれ、制御バスを流れる制御信号である。バス・スタート信号は、バスの使用を開始することを示す信号であり、Lレベルとなることによりバスの使用を開始することを示す。データ・コンプリート信号は、データの転送が可能であることとデータの転送の終了を示す。データ・コンプリート信号がLレベルのときにデータの転送が可能である。データ・コンプリート信号がHレベルに立ち上がるとデータの転送が終了したことを示す。

【0024】時刻 $t_4$ までの間は、第1のスイッチ制御信号は、Lレベルであり、スイッチS11、S12およびS13はすべてオフとされている。DRAM12およびA/D変換回路13は、CPU10からは切り離されており、CPU10からはキャッシュ・メモリ11へのアクセスのみができる。

【0025】時刻 $t_1$ においてバス・スタート信号がLレベルに立ち下がる。時刻 $t_1$ において、データ・コンプリート信号はLレベルとなっており、データの転送が可能である。CPU10から転送データおよびアドレス・データが出力され、アドレス・データによって規定されるキャッシュ・メモリ11のアドレスに転送データが書き込まれる。時刻 $t_2$ および $t_3$ においても同様に、データ転送が可能であり、キャッシュ・メモリ11にデータが書き込まれる。

【0026】時刻 $t_4$ までの間は、第1のスイッチ制御信号はLレベルであり、スイッチS11、S12およびS13はオフとされているので、バスの長さが実質的に短くなっている。高速転送が安定する。バスの容量性負荷および抵抗性負荷は小さいので、データを高速転送できる。

【0027】時刻 $t_4$ となると、バス・スタート信号がLレベルに立ち下がり、デコーダ15から出力される第1のスイッチ制御信号がHレベルとなる。スイッチS11、S12およびS13がオンとなり、CPU10とDRAM12とがバス接続されることとなる。CPU10によるDRAM12へのアクセスが可能となる。

【0028】スイッチS11、S12およびS13がオンとなる時間を確保するために、データ・コンプリート信号は時刻 $t_4$ から2クロック・パルス経過後のときの時刻 $t_5$ においてLレベルとなるように制御される。

【0029】CPU10によるDRAM12へのデータ転送が可能となり、アドレス・データによって指定されるDRAM12のアドレスにデータが書き込まれる。

【0030】時刻 $t_6$ となると、バス・スタート信号がLレベルに立ち下がり、デコーダ15から出力される第2のスイッチ制御信号がHレベルとなる。スイッチS21、S22およびS23がオンとなり、CPU10とDRAM12とA/D変換回路13とがバス接続されることとなる。CPU10によるA/D変換回路13へのアクセスが可能となる。

【0031】この場合もスイッチS21、S22およびS23がオンとなる時間を確保するためにデータ・コンプリート信号は時刻 $t_6$ から3クロック・パルス経過後のときの時刻 $t_7$ においてLレベルとなるように制御される。

【0032】CPU10によるA/D変換回路13へのデータ転送が可能となり、アナログ/ディジタル変換処理が行われる。

【0033】図3は、他の実施例を示すもので、図1に示す回路の動作を示すタイム・チャートである。

【0034】時刻 $t_1$ までは、キャッシュ・メモリ11へのアクセスが可能であり、時刻 $t_2$ となるとキャッシュ・メモリ11およびDRAM12へのアクセスが可能となり、時刻 $t_3$ となるとキャッシュ・メモリ11、DRAM12およびA/D変換回路13へのアクセスが可能となるのは図2に示す動作と同様である。

【0035】図3に示す動作では、クロック・パルスは、時刻 $t_1$ までの間と時刻 $t_1$ から時刻 $t_2$ までの間と時刻 $t_2$ から時刻 $t_3$ までの間において周期が異なる。時刻 $t_1$ までの間は、高速度でアクセスされるから、それに応じて周期 $t_1$ が短い高速クロック・パルスが発生し、そのクロック・パルスに応じて動作する。時刻 $t_1$ から時刻 $t_2$ までの間は、中速度でアクセスされるから、周期 $t_2$ が周期 $t_1$ よりも少し長いクロック・パルスが発生する。時刻 $t_2$ から時刻 $t_3$ までの間は、低速度でアクセスされるから、周期 $t_3$ が最も長いクロック・パルスが発生する。

【0036】このようなクロック・パルスは、分周回路、PLL(Phase Locked Loop)回路を用いて周波数を変えることができる、いわゆるクロック・ギアを用いて生成することができる。

【0037】図3に示す場合には、時刻 $t_1$ および時刻 $t_3$ からそれぞれ1クロック・パルス遅延したときにデータ・コンプリート信号がLレベルとなるように制御される。これにより、スイッチS11、S12およびS13ならびにS21、S22およびS23が確実にオンとなった後にデータDRAM12およびA/D変換回路13にデータ転送することができるようになる。

【図面の簡単な説明】

【図1】集積回路の電氣的構成を示すブロック図である。

【図2】集積回路の動作タイム・チャートである。

【図3】集積回路の動作タイム・チャートである。

【符号の説明】

10 CPU (制御回路, 出力回路)

11 キャッシュ・メモリ (高速アクセス用デバイス)

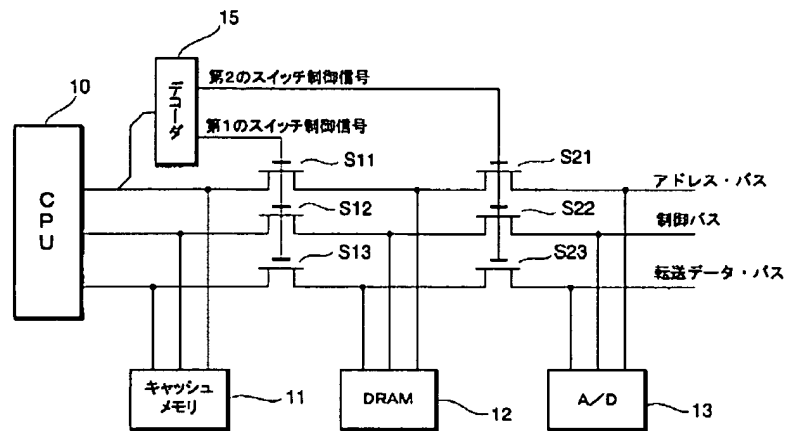
12 DRAM (中速アクセス用デバイス)

13 A/D変換回路 (低速アクセス用デバイス)

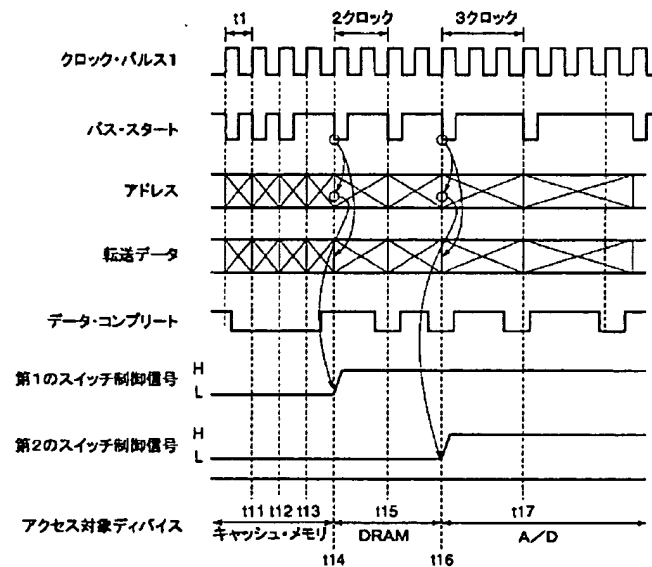
15 デコーダ

S11, S12, S13, S21, S22, S23 スイッチ

【図1】



【図2】



【図3】

